

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-130919
 (43)Date of publication of application : 13.05.1994

(51)Int.Cl. G09G 3/36
 G02F 1/133

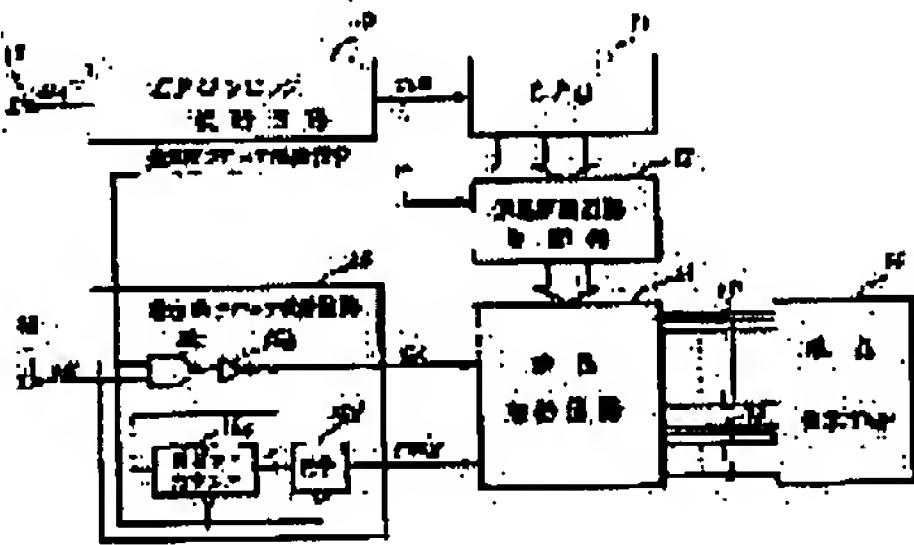
(21)Application number : 04-301829 (71)Applicant : NIPPON MOTOROLA LTD
 (22)Date of filing : 14.10.1992 (72)Inventor : TANAKA NORIYAKI
 ITO SHUICHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To prevent the deterioration of a liquid crystal cell by the DC driving voltage held after the stop of the supply of a clock signal for display of the liquid crystal display device having a clock signal supplying circuit for display separate from a CPU clock signal supplying circuit and to prevent the disturbance of a display screen and the deterioration of the liquid crystal cell by the unstable clock signal for display right after the start of the supply.

CONSTITUTION: The clock signal supplying circuit 16 for display has a means for forming the clock validity/invalidity signal CKEN changing to a state indicating the validity upon lapse of a prescribed period after the start of the operation and exhibiting the state indicating the invalidity right after the stop of the operation and supplying this signal to the liquid crystal driving circuit 13. The liquid crystal driving circuit 13 has a means for shifting to the driving enable state of the liquid crystal panel 14 when the clock validity/invalidity signal changes to the state indicating the validity and holds the driving voltage impressed to the liquid crystal cell when the clock validity/invalidity signal changes to the state indicating the invalidity at zero.



LEGAL STATUS

[Date of request for examination] 03.07.1997

[Date of sending the examiner's decision of rejection] 10.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-130919

(43)公明日 平成6年(1994)5月13日

(51)Int.Cl.⁶G 0 9 G 3/36
G 0 2 F 1/133

識別記号

5 2 5

府内整理番号

7319-5G
9226-2K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号

特願平4-301829

(22)出願日

平成4年(1992)10月14日

(71)出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72)発明者 田中 篤明

東京都港区南麻布3丁目20番1号 日本モ
トローラ株式会社内

(72)発明者 伊藤 秀一

東京都港区南麻布3丁目20番1号 日本モ
トローラ株式会社内

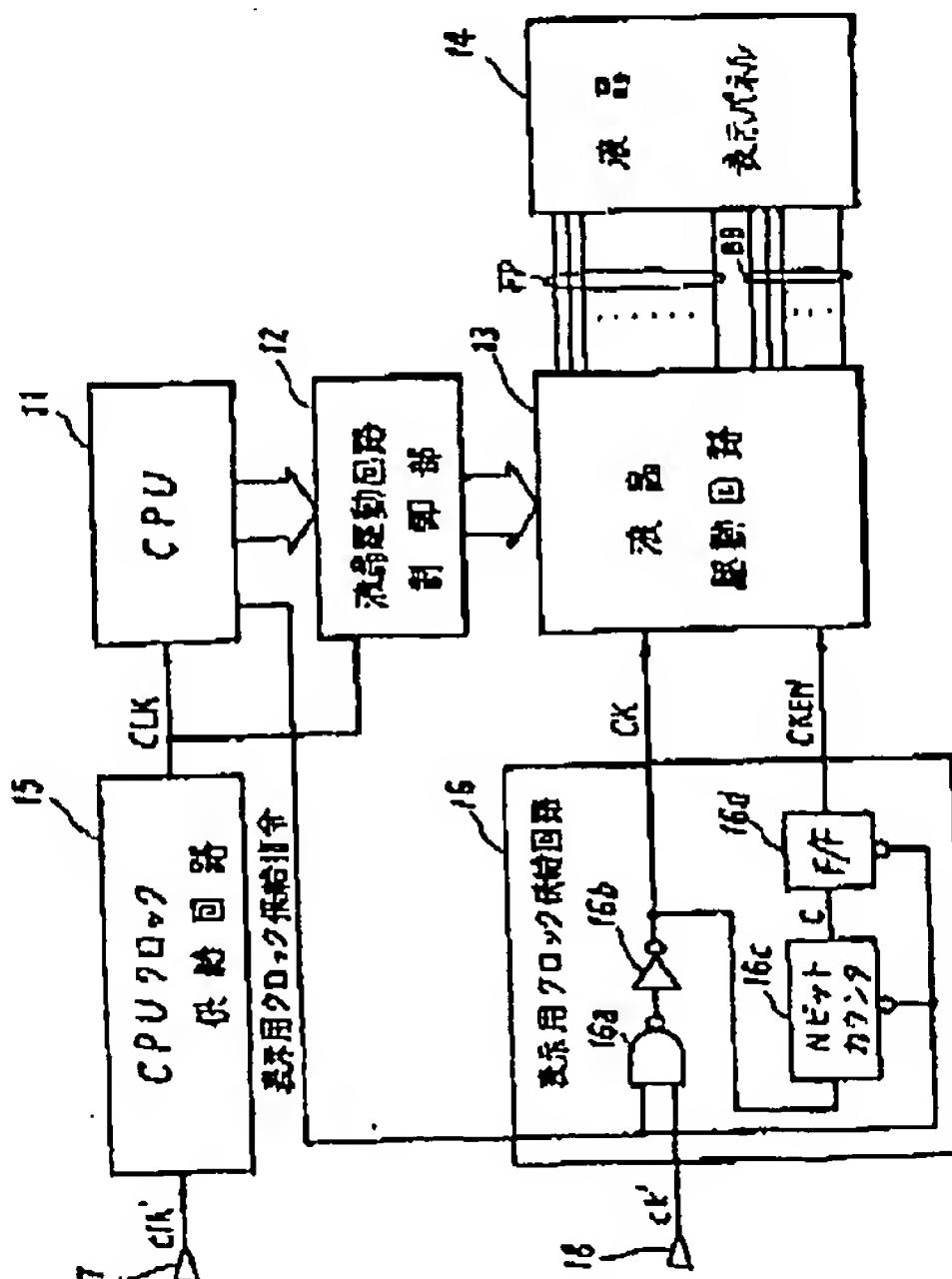
(74)代理人 弁理士 櫻井 俊彦

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 CPUクロック信号の供給回路とは別個の表示用クロック信号供給回路を有する液晶表示装置において、表示用クロック信号の供給停止後に保持される直流駆動電圧による液晶セルの劣化を防止すると共に供給開始直後の不安定な表示用クロック信号による表示画面の乱れや液晶セルの劣化を防止する。

【構成】 表示用クロック信号供給回路(13)は、動作の開始後所定期間が経過すると有効を示す状態に変化すると共に動作の停止後直ちに無効を示す状態を示すクロック有効/無効信号(CKEN)を作成して液晶駆動回路(13)に供給する手段を備え、液晶駆動回路(13)は、クロック有効/無効信号が有効を示す状態に変化すると液晶パネル(14)の駆動動作可能状態に移行し、上記クロック有効/無効信号が無効を示す状態に変化すると液晶セルに印加する駆動電圧をゼロに保持する手段を備える。



(2)

特開平6-130919

2

【特許請求の範囲】

【請求項1】CPUクロック信号の供給回路とは別個に設置された表示用クロック信号供給回路と、この表示用クロック信号供給回路から供給される表示用クロック信号に同期して液晶表示パネルの各セルの両端に印加する駆動電圧を変化させる液晶駆動回路とを備えた液晶表示装置において、

前記表示用クロック信号供給回路は、表示用クロック信号の供給開始後所定期間が経過すると第1の状態に変化することにより表示用クロック信号が有効であることを示すと共に動作の停止後直ちに第2の状態に変化することにより表示用クロック信号が無効であることを示す表示用クロック有効/無効信号を作成し前記液晶駆動回路に供給する手段を備え、

前記液晶駆動回路は、前記表示用クロック信号供給回路から供給される表示用クロック有効/無効信号が有効を示す状態にあれば前記表示用クロック信号に同期して前記液晶表示パネルの各セルの両端に印加する駆動電圧を変化させる動作可能状態に移行すると共に、前記表示制御信号が無効を示す状態にあれば前記液晶表示パネルの各セルの両端に印加する駆動電圧差をゼロに保持する手段を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、各種の電子機器の表示装置として汎用される液晶表示装置に関するものである。

【0002】

【従来の技術】各種の電子機器の表示装置として液晶表示装置が汎用されている。この程の液晶表示装置の典型的なものとして、液晶表示パネルの表裏両面に互いに直交する電極群をマトリックス状に配列し、表裏の電極群に電圧を印加することによりその電圧差に等しい駆動電圧を各交点に配列されている各セルに印加する形式のものが知られている。

【0003】この形式の液晶表示装置では、通常、表裏の電極群に印加する駆動電圧のレベルがクロック信号に同期して複数段階にわたって制御される。このクロック信号に同期した複数段階にわたる駆動電圧レベルの制御は、液晶駆動回路によって行われる。また、この液晶駆動回路に供給されるクロック信号はCPUクロック信号に比べて低速である点、さらには、内蔵の電池で動作する携帯型の電子機器などでは表示が不要な期間内は表示系の動作を停止して消費電力の節減を図る点などを考慮して、通常、CPUクロック信号とは別系統の専用の表示用クロック信号供給回路から供給される。

【0004】

【発明が解決しようとする課題】上記従来の液晶表示装置では、表示が不要となった時点で表示用クロック信号の供給を停止すると、これに伴って液晶駆動回路による

駆動電圧の制御が停止し、制御停止時点で駆動信号線群に印加されていた電圧がそのまま保持されてしまう。この結果、液晶表示パネルの各セルには表裏の駆動線の印加電圧差に等しい直流駆動電圧が印加され続けることになり、セルが劣化するという問題がある。

【0005】また、従来の液晶表示装置では、表示が必要となった時点で表示用クロック信号の供給を開始すると、この表示用クロック信号の供給の開始と同時に液晶駆動回路が動作を開始し、駆動信号線群に駆動電圧が 출력される。このため、供給開始直後の不安定な表示用クロック信号に基づき出力される液晶表示パネルの駆動電圧が不安定となりやすく、表示画面の乱れや、液晶表示パネルの各セルの劣化を招くという問題がある。

【0006】

【課題を解決するための手段】上記従来技術の問題点を解決する本発明の液晶表示装置によれば、表示用クロック信号供給回路は、表示用クロック信号の供給開始後所定期間が経過すると第1の状態に変化することにより表示用クロック信号が有効であることを示すと共に動作の停止後直ちに第2の状態に変化することにより表示用クロック信号が無効であることを示す表示用クロック有効/無効信号を作成し、液晶駆動回路に供給する手段を備えている。また、液晶駆動回路は、表示用クロック信号供給回路から供給される表示用クロック有効/無効信号が有効を示す状態にあれば表示用クロック信号に同期して液晶表示パネルの各セルの両端に印加する駆動電圧を変化させる動作可能状態に移行すると共に、表示制御信号が無効を示す状態にあれば液晶表示パネルの各セルの両端に印加する駆動電圧差をゼロに保持する手段を備えている。

【0007】

【作用】表示用クロック信号供給回路は、表示用クロック信号の供給の開始後、表示用クロック信号が安定するために必要な所定期間が経過すると第1の状態に変化することにより表示用クロック信号が有効であることを示す表示用クロック有効/無効信号を出力する。この表示用クロック信号と表示用クロック有効/無効信号を受ける液晶駆動回路は、表示用クロック有効/無効信号によって表示用クロック信号が有効になったことを識別し表示用クロック信号に同期して液晶表示パネルの各セルの両端に印加する駆動電圧を変化させる動作可能状態に移行する。この動作可能状態から実際の動作状態に移行するか否かはCPUから直接発せられる導通開始指令の有無などに委ねられる。

【0008】表示用クロック信号供給回路は、CPUなどから発せられる指令に基づき表示用クロック信号の供給の停止後直ちに第2の状態に変化することにより表示用クロック信号が無効であることを示す表示用クロック有効/無効信号を出力する。このクロック有効/無効信号を受ける液晶駆動回路は、表示用クロック信号が無効

(3)

特開平6-130919

3 になったことを識別し、液晶表示パネルの各セルの両端に印加する駆動電圧差をゼロに保持する。この結果、表示用クロック信号の供給停止に伴う動作休止期間内は、液晶表示パネルの各セルの両端の印加電圧差はゼロに保持され、直流電圧が印加され続ける場合の劣化が有効に回避される。

【0009】

【実施例】図1は、本発明の一実施例の液晶表示装置の構成を示すブロック図であり、11はCPU、12は液晶駆動回路制御部、13は液晶駆動回路、14は液晶表示パネル、15はCPUクロック供給回路、16は表示用クロック信号供給回路、17、18は外部クロック信号の入力端子である。

【0010】外部クロック信号の入力端子17には、図示しない水晶発振器などから高速の外部クロック信号c_{1k'}が入力し、これを受けたCPUクロック供給回路は高速のCPUクロックCLKを作成してCPU11と液晶駆動回路制御部12に供給する。一方、外部クロック入力端子18には、CPUクロック信号よりも低速のクロック信号c_{k'}が入力し、これを受けた表示用クロック信号供給回路は、低速の表示用クロック信号CKを作成して液晶駆動回路13に供給すると共に、この表示用クロック信号の供給の開始後所定期間が経過すると、クロック有効/無効信号を“0”から“1”に立ち上げることにより表示用クロック信号が安定して使用可能になったことを液晶駆動回路13に通知する。

【0011】すなわち、表示用クロック信号供給回路16は、 NANDゲート16a、インバータ16b、Nビットカウンタ16c及びフリップフロップ16dから構成されており、外部クロック入力端子18に供給されるクロック信号c_{k'}を受け、CPU11から供給される表示用クロック供給指令がオフ（“0”）からオン（“1”）に立ち上げられることにより遅延的に導通せしめられるNANDゲート16aとインバータ16bとを通過させることにより表示用クロック信号CKとして液晶駆動回路13に供給する。

【0012】Nビットカウンタ16cは、インバータ16bから出力される表示用クロック信号CKをカウントし、2^N個のクロック信号をカウントするとオーバーフローしてキャリイ信号Cを出力する。フリップフロップ16dは、このキャリイ信号Cを保持することにより、表示用クロック信号の有効/無効を示すクロック有効/無効信号CKENを“0”から“1”に立ち上げる。また、CPU11から供給される表示用クロック供給指令がオン（“1”）からオフ（“0”）に立ち下げる時、NANDゲート16aが閉じられて表示用クロック信号CKの供給が直ちに停止されると共に、フリップフロップ16dがリセットされて表示用クロック有効/無効信号CKENが直ちに“1”から“0”に立ち下げる。このように、CPU11から供給される表示用クロ

ック供給指令がオン（“1”）に立ち上がって表示用クロック信号CKの供給が開始されても、この表示用クロック信号CKが安定するまでの所定期間が経過するまでは表示用クロック有効/無効信号CKENが“1”に立ち上がらない。

【0013】表示用クロック信号供給回路16から表示用クロック信号CKとその有効/無効出力CKENを受ける液晶駆動回路13は、表示用クロック有効/無効信号CKENが有効を示す“1”に立ち上がると表示用クロック信号CKに同期して液晶表示パネル14に接続される駆動信号線群FP、BPに出力する印加電圧を変化させることにより、液晶表示パネルの各セルの両端に印加する駆動電圧を変化させる。ただし、図1において、駆動信号線群FPは液晶表示パネルの表面側の電極群に連なる駆動信号線群、駆動信号線群BPは液晶表示パネルの裏面側の電極群に連なる駆動信号線群であり、表裏の電極群の交点に配列される液晶パネルの各セルにはFPとBPに印加される駆動電圧の差に等しい駆動電圧が印加される。

【0014】また、液晶駆動回路13は、表示用クロック有効/無効信号CKENが“0”に立ち下がると、液晶表示パネル14の駆動信号線群FP、BPに出力する印加電圧をゼロに保持する。この結果、液晶表示パネルの各セルの両端に印加される駆動電圧もゼロに保持される。このように、表示用クロック信号の供給が停止している期間内は、液晶表示パネルの各セルに印加される駆動電圧がゼロに保持されるため、各セルに直流電圧が印加され続けることがなくなり各セルの劣化が有効に回避される。

【0015】図2は、図1の液晶駆動回路13の構成の一例を、1本の駆動信号線（FP又はBP）について簡略化して示す回路図である。図2中、入力信号ENはCPU11から液晶駆動回路制御部12を経て供給される1ビットのオン/オフ指令である。また、入力信号DATAは、液晶駆動回路制御部12から供給される1ビットの導通開始指令である。入力信号CKとCKENは、前述したように表示用クロック信号供給回路16から供給される表示用クロック信号と表示用クロック有効/無効信号である。

【0016】表示用クロック有効/無効信号CKENと導通開始指令ENのいずれもが“1”的場合には、通常の表示のための液晶駆動動作が行われる。すなわち、表示データDATAが“1”であるか“0”であるかに応じて4個のスイッチQ0～Q3のうちの異なる1対が交差に導通し、駆動信号線（FP/BP）上にクロック周期で異なる波形の駆動電圧が供給される。すなわち、表示データDATAが“1”であれば、表示用クロック信号CKに同期してスイッチQ0とQ3の対が交差に導通し、駆動信号線（FP/BP）上に、接地電圧と最高電圧V3が交互に供給される。また、表示データDATA

50 PAGE 35/49 *RCVD AT 10/27/2006 1:58:49 AM [Eastern Daylight Time] * SVR:USPTO-EFXRF-6/31 * DNIS:2738300 * CSID: * DURATION (mm:ss):19:00

(4)

特開平6-130919

5
が“0”であれば、表示用クロック信号CKに同期してスイッチQ1とQ2の対が交互に導通し、駆動信号線(FP/BP)上に2番目に高い電圧V2と3番目に高い電圧V1が交互に供給される。

【0017】この後、表示用クロック信号の供給が停止されて表示用クロック有効／無効信号CKENが“0”になると、表示データDATAとクロック信号CKが“1”であるか“0”であるかに係わらず、スイッチQ1、Q2、Q3が非導通状態に保たれると共にスイッチQ0が導通状態に保たれ、この結果、駆動信号線(FP/BP)は接地電位への保持は、図2と同一の回路によって全ての駆動信号線(FP/BP)について行われるので、液晶表示パネルの各セルに印加される駆動電圧も当然ゼロになる。この後、導通開始指令ENも“0”になると、スイッチQ0も非導通状態となり、駆動信号線(FP/BP)はこの液晶駆動回路から切り離される。

【0018】以上、表示用クロック信号の供給の停止に伴い、全ての駆動信号線(FP/BP)をゼロ電圧に保つ構成を例示した。しかしながら、液晶表示パネルの各セルには駆動信号線間の差電圧が印加されるので、表示用クロック信号の停止時には全ての駆動信号線に駆動電圧V1、V2又はV3のうちの一つを供給することにより全ての駆動信号線を等電圧に保持する構成としてもよい。

【0019】

【発明の効果】以上詳細に説明したように、本発明の液*

6
* 液晶表示装置によれば、表示用クロック信号の供給が開始されても所定期間が経過するまでは液晶駆動回路の動作が開始されない構成であるから、供給開始直後の不安定な表示用クロック信号によって表示画面が乱れたり、液晶表示パネルの各セルが劣化したりするという従来技術の問題点が有効に解決される。

【0020】また、本発明の液晶表示装置によれば、表示用クロック信号の供給が停止されると直ちに、液晶駆動回路は液晶表示パネルの各セルの両端に印加する駆動電圧をゼロに保持する構成であるから、表示用クロック信号の停止時点の駆動電圧が液晶パネルの各セルに印加され続けて各セルの劣化を生じさせるという従来技術の問題点が有効に解決される。

【図面の簡単な説明】

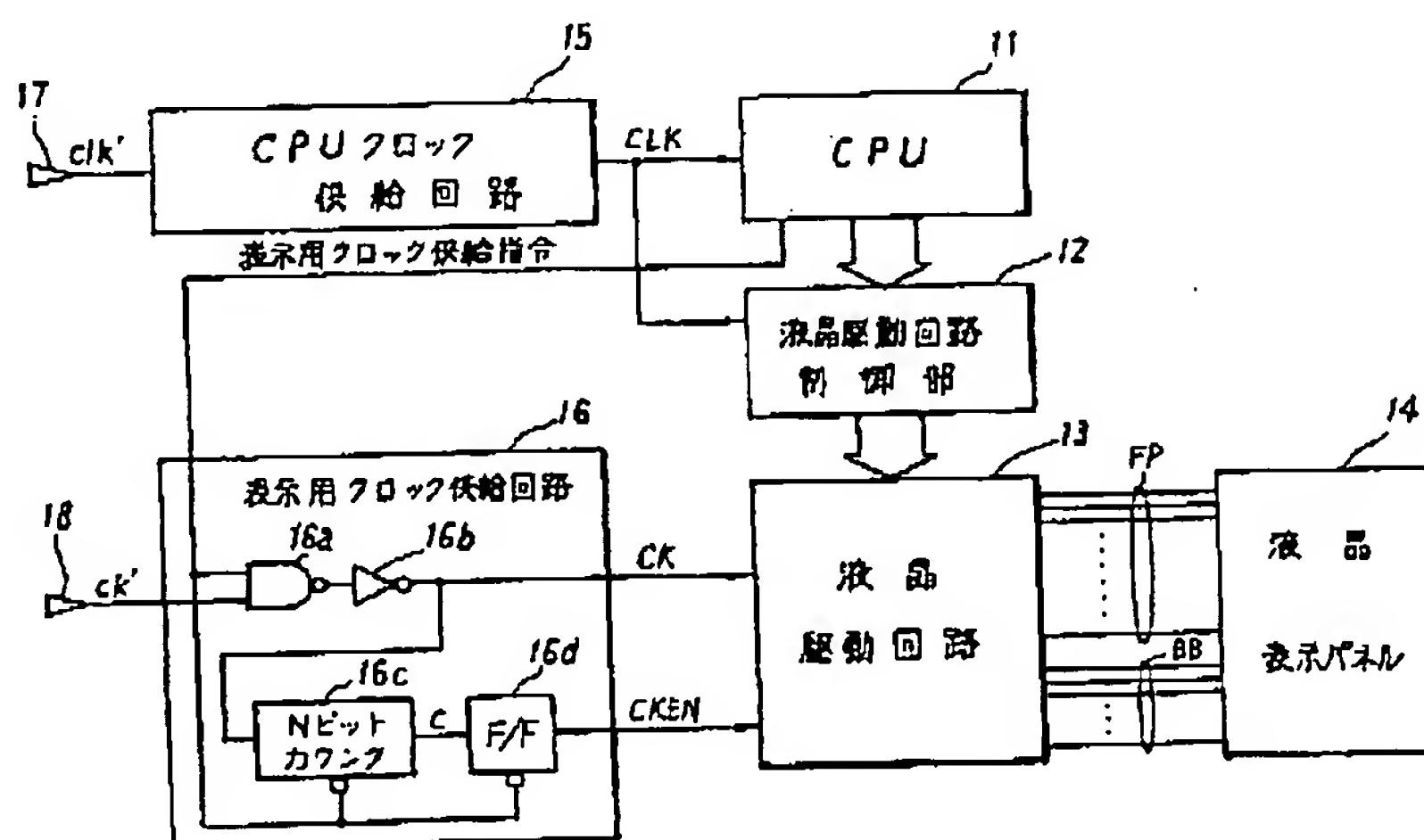
【図1】本発明の一実施例の液晶表示装置の構成を示すブロック図である。

【図2】図1の液晶駆動回路の構成の一例を一つの駆動信号線について示す回路図である。

【符号の説明】

20	1 1	C P U
	1 2	液晶駆動回路制御部
	1 3	液晶駆動回路
	1 4	液晶表示パネル
	1 6	表示用クロック信号供給回路
	1 6 c	Nビットカウンタ
	FP, BP	駆動信号線群

【図1】



(5)

特開平6-130919

【図2】

